

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07169854 A**

(43) Date of publication of application: **04.07.95**

(51) Int. Cl.
H01L 21/8242
H01L 27/108
H01L 27/04
H01L 21/822

(21) Application number: **05316209**

(71) Applicant: **NEC CORP**

(22) Date of filing: **16.12.93**

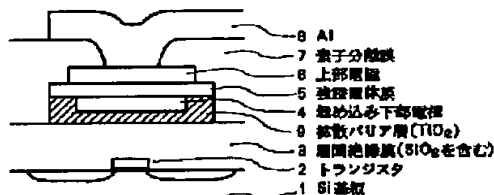
(72) Inventor: **HASE TAKU**

(54) **SEMICONDUCTOR DEVICE AND
MANUFACTURE OF IT**

(57) Abstract:

PURPOSE: To prevent the counter diffusion of elements by providing a barrier layer made of an oxide film of Ti on a layer insulating film, a ferroelectric thin film burying lower electrode material in the layer and covering the lower electrode material, and an upper electrode, and preventing the layer insulating film from touching the ferroelectric thin film.

CONSTITUTION: A thin TiO_2 film 9 being a barrier layer is provided on a layer insulating film 3. Then a well-shaped lower electrode burying hole is formed in the thin TiO_2 film 9, and a lower electrode 4 is made. The lower electrode is ground until flattened surfaces of the barrier layer 9 and the lower electrode 4 appear by grinding by the use of mechanical or chemical reaction. On these surfaces a thin PZT film is made. The TiO_2 layer 9 functions as a counter diffusion barrier between the PZT layer 5 and the layer insulating film 3 at the time of the manufacture of the thin PZT film. Consequently, it becomes possible to prevent the counter diffusion between the thin PZT film and SiO_2 , and to form a capacity insulating film on a flat surface without etching the lower electrode.



COPYRIGHT: (C)1995,JPO

- (19) 【発行国】日本国特許庁 (J P)
 (12) 【公報種別】公開特許公報 (A)
 (11) 【公開番号】特開平 7 - 1 6 9 8 5 4
 (43) 【公開日】平成 7 年 (1 9 9 5) 7 月 4 日
 (54) 【発明の名称】半導体デバイスおよびその製造方法
 (51) 【国際特許分類第 6 版】

H01L 21/8242

27/108

27/04

21/822

【 F I 】

H01L 27/10 325 J 7210-4M

27/04

C

【審査請求】有

【請求項の数】2

【出願形態】○L

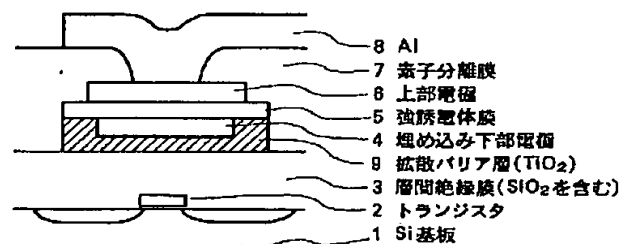
【全頁数】4

- (21) 【出願番号】特願平 5 - 3 1 6 2 0 9
 (22) 【出願日】平成 5 年 (1 9 9 3) 1 2 月 1 6 日
 (71) 【出願人】
 【識別番号】0 0 0 0 0 4 2 3 7
 【氏名又は名称】日本電気株式会社
 【住所又は居所】東京都港区芝五丁目 7 番 1 号
 (72) 【発明者】
 【氏名】長谷 卓
 【住所又は居所】東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 (74) 【代理人】
 【弁理士】

(57) 【要約】

【構成】 層間絶縁膜 3 上の T i の酸化物からなる拡散バリア層 9 に井戸状の溝を作製し、そのバリア層 9 の上に下部電極材料層 4 を形成した後、バリア層 9 と下部電極層 4 が平坦化されるまでエッチング又は研磨を行う。この平坦化された基板上に強誘電体薄膜 5 を作製し、下部電極面積より大きい面積でバリア層 9 と強誘電体膜 5 を微細加工する。しかる後上部電極 6 を作製する。

【効果】 強誘電体膜と層間絶縁膜との相互拡散を抑制する共に、微細加工が困難な下部電極材料 (P t 等) のエッチング工程をなくすことができ、さらにゾルゲル法やスパッタ法など強誘電体膜を容易に作製できるが段差被覆性がよくない成膜方法を用いることができる。これらの効果によりデバイスの信頼性を高めることが可能となる。



【特許請求の範囲】

【請求項1】 層間絶縁膜上に、Tiの酸化物を層状に有し、該層に下部電極材料が埋め込まれており、かつ該下部電極を覆う強誘電体薄膜、上部電極を有することを特徴とする半導体デバイス。

【請求項2】 層間絶縁膜上に、TiもしくはTiの酸化物を層状に形成した後、該層に電極面積として必要な開口面積を持つ井戸状の溝を形成し、その上に前記溝の深さより厚い下部電極層を形成した後に該下部電極層を研磨することにより平坦面に埋め込まれた下部電極構造を形成し、しかる後に強誘電体膜を形成した後該強誘電体膜をTiの酸化物層と共に加工し、最後に上部電極を形成することを特徴とする請求項1記載の半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路装置に内蔵されている半導体デバイス及びその製造方法に関する。

【0002】

【従来の技術】半導体メモリセル内の容量絶縁膜として強誘電体薄膜を用いることにより、高速で書き込み、読み出し動作を行うことの出来る不揮発メモリ、もしくは比誘電率の大きい強誘電体薄膜を容量絶縁膜として利用した集積度の高いダイナミックランダムアクセスメモリ(DRAM)を作製することができる。このようなメモリセルを作製する場合、容量絶縁膜として主にPbもしくはBiを成分として含む酸化物強誘電体薄膜が利用される。従来の技術としては、「ビットパラレル構造を持つ16キロビット強誘電体不揮発メモリ」：ウォーマック、トイッシュ、ダイジェスト オブ 1989 アイトリブルイー インターナショナル ソリッドステイト サーキット カンファレンス、ページ242-243、1989年("A 16kb Ferroelectric Nonvolatile Memory with a Bit Parallel Architecture", R. Womack and D. Toisch, Digest of 1989 IEEE International Solid-State Circuits Conference, pp. 242-243, Feb. 1989)に示されている構造が用いられている。すなわち、図1に示すように層間絶縁膜3もしくは多結晶シリコンとの相互拡散を防ぐための導電性バリア層上に作製された下部電極4を微細加工した後、強誘電体薄膜5が600℃前後の成膜温度で作製される。この後強誘電体薄膜は微細加工され上部電極6、素子分離膜7、Al配線8が作製される。

【0003】

【発明が解決しようとする課題】しかしながら従来のメモリセル作製技術には次のような欠点がある。即ち層間

絶縁膜としては一般にSiO₂が用いられることが多いが、Pbを成分に含む強誘電体薄膜を微細加工された電極パターン上に600℃前後の成膜温度で作製する場合、電極に覆われていない部分の層間絶縁膜と強誘電体薄膜との間でPbとSiが相互拡散を起こす。この相互拡散により、層間絶縁膜の下に位置するトランジスタなどの半導体素子の特性が劣化したり、層間絶縁膜直上の強誘電体薄膜を通して電極上の強誘電体薄膜の特性が劣化するという問題があった。

【0004】さらに強誘電体の下部電極材料として一般的に用いられているPtは反応性に乏しく、反応性イオンエッチングでは一度エッチングされたPtがレジストの側壁など周囲に再堆積してしまい、Pt電極が意図した形状に微細加工できず、デバイスの歩留りを低下させる要因の一つとなっている。又、強誘電体が下部電極と上部電極に挟まれた構造において、下部電極と強誘電体を連続して堆積させた場合は前記のような元素の相互拡散はおこらないが、最終的な形状を得るためのエッチング工程において強誘電体の側壁にPtが再付着し、下部電極と上部電極が短絡してしまうという問題が生じていた。又、強誘電体薄膜の作製方法によっては段差被覆性が悪い場合、下部電極の加工により生ずる段差部分が素子の不良の原因となる。

【0005】

【課題を解決するための手段】本発明はTiの酸化物よりなるバリア層を層間絶縁膜上に層状に有し、その層に下部電極材料が埋め込まれており、かつ該下部電極材料を覆う強誘電体薄膜、上部電極で構成されていることを特徴とする半導体デバイス構造およびその製造方法に関する。

【0006】本発明の半導体デバイスの形状によれば、Tiの酸化物層により、SiO₂を成分として含む層間絶縁膜と強誘電体薄膜が接する部分がなくなるため、元素の相互拡散の問題が解決される。つまり、このバリア層は強誘電体薄膜作製温度においても層間絶縁膜の主成分であるSi、容量絶縁膜に含まれるPbと相互拡散しないため結果的に層間絶縁膜中へのPbの侵入、およびSiの強誘電体薄膜中への侵入を抑制する働きを持つ。そのため強誘電体薄膜及びトランジスタなどの素子の劣化をともに防ぐことが出来る。なお、バリア層としてTiの酸化物を用いるためには最初からTiの酸化物を堆積しても良いが、金属Tiを堆積し、強誘電体の形成・加工段階で同時に酸化を行ってTi酸化物としても良い。

【0007】さらに、埋め込まれた下部電極はバリア層との間で段差を形成しないため強誘電体薄膜の作製方法によらず信頼性の高い素子を作製できる。また下部電極材料のエッチング工程を含まないため良好な強誘電体膜作製に必要でかつ微細加工の困難な下部電極材料も選択できる。

【0008】

【実施例】本発明について図面を参照して説明する。

【0009】（実施例1）ここでは層間絶縁膜上のバリア層として300nmの TiO_2 を反応性スパッタ法で作製し200nmの深さの溝を作製したもの、下部電極として400nmのPtをDCスパッタ法で、強誘電体膜として200nmのPZT薄膜をゾルゲル法で作製した例を示す。バリア層は金属Tiを層状に作製し、下部電極を埋め込んだ後、酸素雰囲気中での強誘電体薄膜作製時に同時にTiも酸化することを利用して作製することもできる。強誘電体膜としてはPZTの他にPbTiO₃、(Pb, La)(Zr, Ti)O₃などのペロブスカイト型酸化物強誘電体を用いることができる。またゾルゲル法は成膜方法の性格上段差のある基板上に均一な膜厚の薄膜を形成することが難しいと考えられる成膜方法の一つであるが、平坦な基板上では均一で良好な特性の強誘電体膜を100nm以下の薄膜でも得ることができる成膜方法である。

【0010】図2は層間絶縁膜3上にバリア層 TiO_2 薄膜9を設けた構造である。 TiO_2 薄膜9に井戸状の下部電極埋め込み穴を形成した後、下部電極4を作製する。下部電極は、機械的もしくは化学反応を利用した研磨によりバリア層9と下部電極4の平坦化された表面が露出するまで削られる。この表面にPZT薄膜5を作製する。PZT薄膜作製時には TiO_2 層9がPZT層5と層間絶縁膜3との相互拡散バリアとして機能する。図3に層間絶縁膜 SiO_2 上に50nmの TiO_2 バリア層を作製したのち、PZT薄膜を作製した場合のオージェ電子分光により測定した深さ方向の組成分布を示す。PZT/ TiO_2 界面でPZT層からバリア層に侵入するPbは界面から10nm程度に留まっており SiO_2 中に侵入するPbは存在しない。さらに TiO_2 / SiO_2 界面でもSiの拡散が抑制されており、PZT層内ではSiは検出限界以下である。この結果から TiO_2 薄膜がPZT成膜時の拡散バリア層となることが確認される。ちなみに TiO_2 層9上ではPZTの準安定相である常誘電体のパイロクロア構造となるが、パイロクロア相部分はPZT成膜後に TiO_2 バリア層と共にエッチングで除去されるので実用上問題はなく、エッチングせずにパイロクロア相部分と酸化チタン部分を素子分離膜として用いることもできる。

【0011】（実施例2）図4に示す実施例は層間絶縁

膜3にコンタクトホールを作製し多結晶シリコン10とSiバリアメタル11で下部電極4とトランジスタ2のドレインを接続する必要がある場合を示している。層間絶縁膜3を作製した後第一のコンタクトホールを作製して多結晶シリコンを埋め込む。続けて金属Ti層9を作製する。本構造の場合、多結晶シリコンを酸化させないためにバリア層として金属Tiを用いなければならない。埋め込まれた第一のコンタクトホール上に容量キャパシタの面積として必要な面積の第二のコンタクトホールを形成する。第二のコンタクトホールは、Siバリアメタル11、下部電極4で順次埋め込まれ平坦になるように研磨された後、その上にPZT薄膜5を作製する。この場合は強誘電体膜作製時に酸化された酸化チタンバリア層9の膜厚 t_1 とSiバリアメタル11の膜厚 t_2 を $t_1 > t_2$ の関係にしなければならない。以上のような構造のメモリセルを作製することにより第2図の場合と同様にPZT薄膜と SiO_2 との相互拡散を防ぐことができ、かつ下部電極をエッチングすることなく平坦な面上に容量絶縁膜を形成できる。

【0012】なお、上記記述はメモリセルのキャパシタを想定した場合についてのみ述べたが、本発明は広く半導体集積回路にPbを含む強誘電体薄膜を適用する多くの場合に同様の効果が得られる。

【図面の簡単な説明】

【図1】従来技術によるメモリセル構造である。

【図2】本発明によるメモリセル構造である。

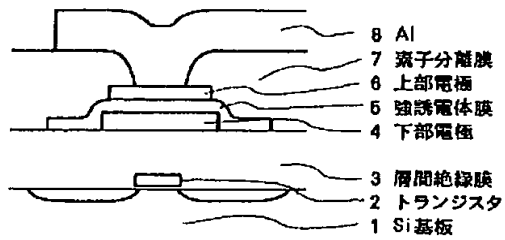
【図3】 TiO_2 （50nm）/ SiO_2 上にPZT薄膜が作製された場合の深さ方向の組成分布図である。

【図4】多結晶シリコンによるコンタクトが存在する場合の本発明によるメモリセル構造である。

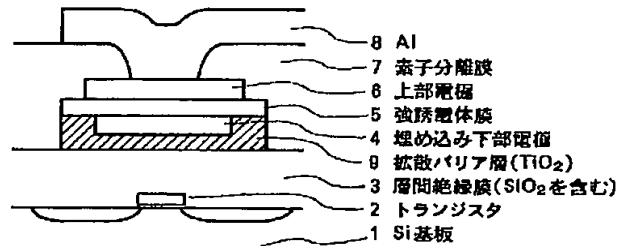
【符号の説明】

- 1 Si基板
- 2 トランジスタ
- 3 層間絶縁膜
- 4 下部電極
- 5 PZT薄膜
- 6 上部電極
- 7 素子分離膜
- 8 Al配線
- 9 酸化チタンバリア層
- 10 多結晶シリコン
- 11 Siバリアメタル

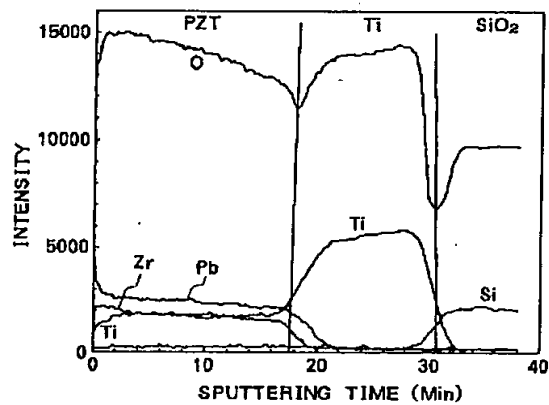
【図1】



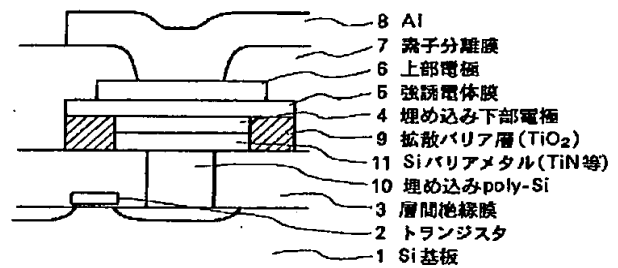
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所